

# A Wideband stacked CMOS Linear Power Amplifier

고재용, 김기현, 이진택, 문탁수, 남상욱

서울대학교 전기공학부 뉴미디어통신공동연구소

동부하이텍

## 초록

A single-stage stacked FET linear power amplifier (PA) is demonstrated using Dongbu 0.11 $\mu$ m standard RFCMOS technology. To overcome the low breakdown voltage limit of MOSFETs, a stacked-FET topology is employed, where four transistors are connected in series. Furthermore, to maintain high efficiency throughout the bandwidth, output matching is realized as 'continuous class-F'. With a 5-V supply, the measured PA achieves a saturated output power of over 26.5 dBm and a DE of around or over 40% from 1.6 GHz to 2.2 GHz. Using an uplink wideband code division multiple access modulated signal, the PA show an output power of over 23.5 dBm with a DE of over 35 % while meeting the adjacent channel leakage ratio requirement.

## 1. 서론

현재 세계에서 사용되는 이동 통신은 지역별, 국가별로 통신방식 및 주파수 대역이 서로 상이하다. 때문에, 다양한 무선 서비스를 하나의 단말기로 처리하고자 하는 다중대역 다중모드 단말기 개발의 필요성이 증대되고 있다. 다른 한편으로는, 고속의 데이터 전송을 위해 OFDM 등과 같은 PAPR 이 큰 변조 방식의 사용이 불가피 하여 고효율·고출력의 전력 증폭기 구현에 어려움을 겪고 있다.

본 논문에서는 저렴하고 집적도가 높은 CMOS 공정을 이용하여, stacked 구조의 전력 증폭기를 설계 하였다. 이러한 stacked 구조는 CMOS 공정의 낮은 항복전압과 높은 어깨전압( $V_{knee}$ )의 단점을 극복할 수 있다. [1], [2], [3]

또한, Continuous class-F' 의 이론을 기반으로 하여, 1.6 GHz 에서 2.2 GHz 대역의 드레인 효율이 40% 내외를 가지며, 포화 출력 전력이 26.5 dBm 이상을 가지는 고효율·고출력의 광대역 전력증폭기를 구현하였다.

## 2. 회로 설계

### a) Stacked 전력 증폭기

본 논문의 전력 증폭기 구조는 하나의 입력 공통소스와 세 개의 트랜지스터를 연속적으로 Stacked 하여 각각의 출력 전압 스윙이 동시에 동작하도록 구현하였다.

공통 게이트 트랜지스터의 입력을 RF-ground 로 처리하는 캐스코드 구조와 달리, 각 stacked 트랜지스터의 게이트에 적절한 외부 커패시터를 달아 커패시터 전압 분배를 통하여 동일한 각각의 트랜지스터의 게이트-소스 그리고 드레인-소스간의 전압 스윙을 만들어 내었다. 이것은 구조적으로 캐스코드의 공통 게이트에서 생기는 게이트-드레인 항복전압 문제점을 해결할 수 있고 높은 드레인 전압을 사용할 수 있게 된다. [1]

더불어, 네 개의 stacked 트랜지스터는 동일한 전류를 공유함으로써 최종 로드 임피던스는 개별 트랜지스터의  $R_{opt}$  의 네 배가 되며 전압과 출력 전력 계인 또한 마찬가지로이다. 이것은 입력과 출력의 대역폭과 매칭 네트워크에서의 손실 측면에서 큰 장점을 가질 수 있다.

그림 1 에서 보이는 세 번째와 네 번째의 stacked 트랜지스터에서 드레인과 소스간의 묶여있는 'Miller compensation capacitor' 는 트랜지스터들의 전압 스윙을 동위상에 위치하게 함으로서 효율을 극대화할 수 있게 된다. [4]

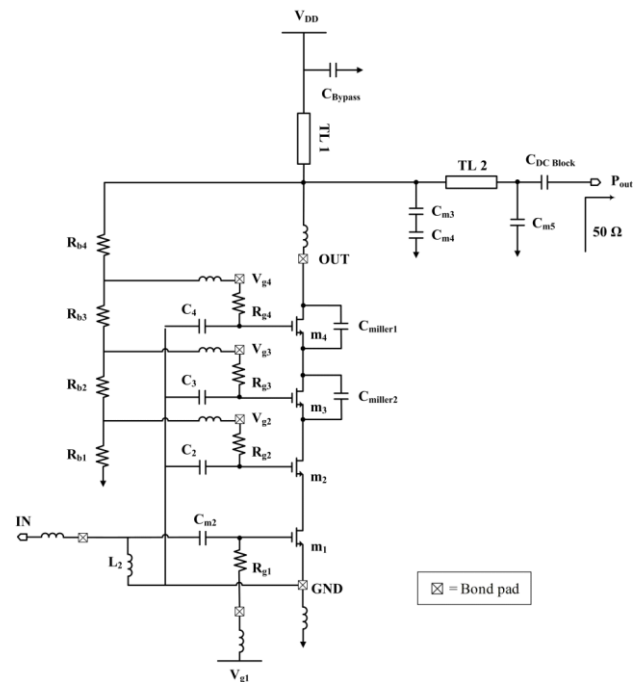


그림 1. 4-stacked 전력 증폭기 회로 그림

### b) Extended Class-F

최근 2nd harmonic 을 short 시키고 3rd harmonic 을 open 시키는 기존의 F 급 전력증폭기는 리액티브 성분을 가지면서 임의의 대역폭 내에서 고효율을 유지하는 'Continuous class-F' 연구가 활발히 진행 중이다. [5], [6]

더불어, fundamental 과 고차 harmonic 임피던스의 design space 를 가지게 됨에 따라 광대역 고효율 전력증폭기 구현 가능성에 힘을 실어주게 된다.

본 논문에서는 그림 2 에서 볼 수 있듯이, 병렬 커패시터 ( $C_{m5}$ ) 와 직렬 라인(TL2) 을 이용하여 중심주파수 2 GHz 에서 대역폭 600 MHz 내에서 최대한 fundamental 로드 임피던스를  $Z_{opt}$  에 위치하였고 병렬 커패시터 ( $C_{m3}$ ,  $C_{m4}$ ) 와 병렬 스텝 라인(TL1)을 이용하여 2nd 와 3rd harmonic 임피던스는 최대한 short 와 open 으로 위치하면서 리액티브 성분을 가졌다.

드레인 바이어스는 5 V 를 인가하고 대역폭 내에서의 포화 출력전력과 드레인 효율을 28 dBm 과 50 % 이상을 가지기 위하여 최종  $R_{opt}$  는 약 10  $\Omega$  으로 설계하였다. 칩 내에서의 게이트 바이어스 저항은 10 k $\Omega$  을 사용하였다.

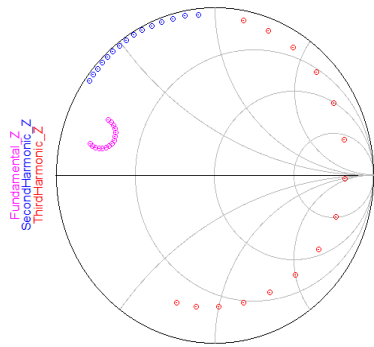


그림 2. 스미스 차트 상의 fundamental, 2차 그리고 3차 harmonic 임피던스 궤적 ( $1.7 \leq f_0(\text{GHz}) \leq 2.3$ )

### 3. 시뮬레이션 / 측정 결과

이번 설계에는 0.11 $\mu\text{m}$  CMOS 공정의 1.2V 트랜지스터를 사용하였다. 입력 게이트 바이어스는 0.25V 로서 대기 전류는 약 25mA 정도가 된다.

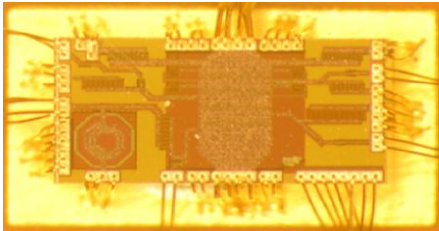


그림 3. Die microphotograph

그림 4 을 통하여 주파수 대역에 대한 드레인 효율과 포화 출력 전력을 비교할 수 있는데, 드레인 효율이 약 40% 내외에서 그 이상을 가지는 대역이 약 600 MHz 를 가지는 것을 볼 수 있다.

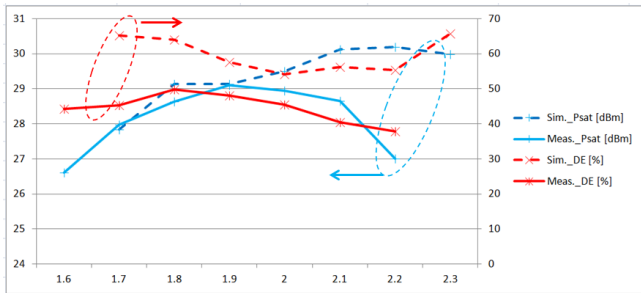


그림 4. 주파수 대역에 대한 Psat 과 DE 비교

위의 대역폭 내에서 WCDMA 대역에 대한 효율과 ACLR 측정 결과는 하단의 그림 5 및 표 1 과 같다.

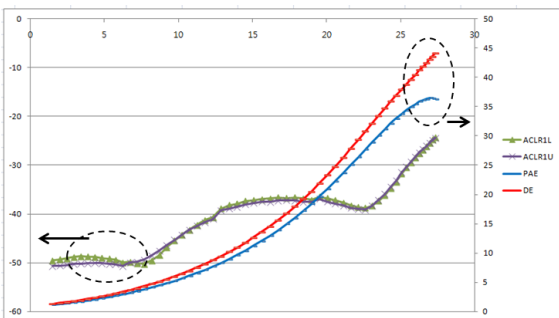


그림 5. 출력 전력에 따른 효율과 ACLR 측정 결과 (1.87 GHz)

Band Type	Pout [dBm]	PAE [%]	DE [%]
Band 1	24.0	33.61	37.89
Band 2	24.69	32.97	36.93
Band 3, 9	23.52	32.76	37.73
TD-SCDMA	24.47	32.47	36.44

표 1. WCDMA band 에 따른 측정 비교

### 4. 결론

본 논문에서는 동부 0.11 $\mu\text{m}$  standard RFCMOS 공정의 1.2V 트랜지스터를 이용하여 광대역 4-stacked 전력증폭기를 설계하였다. 측정결과는 설계된 증폭기가 1.9 GHz 를 중심으로 약 600 MHz 대역을 가지고, 포화 출력전력과 드레인 효율이 26.5 dBm 과 40% 내외 혹은 그 이상을 가지는 것을 보여준다.

대역폭 내의 WCDMA 대역 선형성 측정 결과는 시뮬레이션 결과와 근접한 출력전력 23.5 dBm 과 35% 이상의 드레인 효율을 보여주었다.

추후에 디바이스의 좀 더 정확한 대 신호 모델링 작업과 선형 기법이 추가 지속 된다면 좀 더 좋은 결과를 얻을 수 있으리라 기대된다.

### ACKNOWLEDGEMENT

본 논문은 2011 년도 (주)동부하이텍의 지원을 받아 수행한 기초연구사업임.

This work was supported by the Dongbu HiTek.

### 참고문헌

- [1] S. Pornpromlikit, J. Jeong, C. D. Presti, A. Scuderi, and P. M. Asbeck, "A watt-level stacked-FET linear power amplifier in silicon-on-insulator CMOS," IEEE Trans. Microw. Theory Tech., vol. 58, no. 1, pp. 57-64, Jan. 2010.
- [2] S. Leuschner, J.-E. Mueller, and H. Klar, "A 1.8 GHz wide-band stacked-cascode CMOS power amplifier for WCDMA application in 65 nm standard CMOS," in IEEE Radio Freq. Integr. Circuit Symp. Dig., Jun. 2011, pp. 1-4.
- [3] 고재용, 김기현, 임영준, 최준혁, 남상욱, "A Stacked Class-F Power Amplifier in 110nm Standard CMOS," 2012 년도 춘계 마이크로파 및 전파전파 학술대회, vol. 35, pp. 22, 2012 년 5 월
- [4] O. Lee, J. Han, K. H. An, D. H. Lee, K.-S. Lee, S. Hong, and C.-H. Lee, "A charging acceleration technique for highly efficient cascode class-E CMOS power amplifiers," IEEE J. Solid-State Circuits, vol. 45, no. 10, pp. 2184-2197, Oct. 2010.
- [5] V. Carrubba, A. L. Clarke, M. Akmal, J. Lees, J. Benedikt, P. J. Tasker, and S. C. Cripps, "On the extension of the continuous class-F mode power amplifier," IEEE Trans. Microw. Theory Tech., vol. 59, no. 5, pp. 1294-1303, May 2011.
- [6] N. Tuffy, L. Guan, A. Zhu, T. J. Brazil, "A Simplified Broadband Design Methodology for Linearized High-Efficiency Continuous Class-F Power Amplifiers," IEEE Trans. Microw. Theory Tech., vol. 60, no. 6, pp. 1952-1963, June 2012.