

De-embedding Algorithm for PCB Inductor

°신윤상, 남상욱
 서울대학교 전기정보공학부
 뉴미디어통신공동연구소
 ysshin@ael.snu.ac.kr

I. 연구 배경

본 논문은 On-Wafer 측정환경에서 PCB Inductor만의 특성을 정확하고 효율적으로 추출할 수 있는 De-embedding 알고리즘을 제안한다. Inductor를 On-Wafer 측정하기 위해 연결된 Fixture인 Ground-Signal-Ground (GSG) 패드와 Interconnection Line의 성분을 포함한 상태에서의 Device-Under-Test (DUT)를 분석하면 Fixture 성분이 포함된 특성을 분석하는 것이기 때문에 De-embedding 작업이 필수적이다. 제안한 De-embedding 알고리즘을 수행하기 위해서는 Pad과 Short 2개의 pattern이 필요하다. 제안한 알고리즘이 타당한지 확인하기 위해 DUT만의 시뮬레이션 주파수 특성 결과와 DUT가 있는 Total Pattern의 시뮬레이션 결과에 De-embedding 과정을 통해 추출한 DUT의 주파수 특성 결과를 비교해 제안한 알고리즘의 타당성을 검증했다.

II. De-embedding 알고리즘

Fixture뿐만 아니라 유전체와 Lossy한 Silicon에서의 Coupling 성분을 De-embedding 해야 하는 CMOS Transistor의 경우에는 일반적으로 Pad-Short-Open De-embedding (PSOD)을 수행한다 [1]. 하지만 면적이 큰 DUT의 경우 PSOD를 변형시킨 Pad-Short De-embedding (PSD)을 수행하면 된다. Pad, Short, 그리고 DUT가 포함된 Total 구조들의 Layout과 Equivalent circuit는 Fig.1에서 볼 수 있다. Equivalent circuits의 Y_1 와 Z_1 성분은 각각 GSG Pad에서의 기생 admittance 성분과 Interconnection Line에서의 기생 impedance 성분이다. Y_1 성분을 추출하기 위해서는 Pad 구조를 측정하면 되고, Z_1 성분을 추출하기 위해서는 Short 구조에서 Pad 구조의 Y_1 성분을 제거하면 된다. Y_1 와 Z_1 성분 추출을 완료한 뒤, 다음의 수식 (1)을 통해 DUT가 있는 Total 구조로부터 DUT만의 2-Port Y matrix를 얻을 수 있다.

$$[Y]_{DUT} = \left\{ \left[[Y]_{Total} - \begin{bmatrix} Y_1 & 0 \\ 0 & Y_1 \end{bmatrix} \right]^{-1} - \begin{bmatrix} Z_1 & 0 \\ 0 & Z_1 \end{bmatrix} \right\} \quad (1)$$

$[Y]_{Total}$ 와 $[Y]_{DUT}$ 는 각각 Total 구조와 DUT만의 2-Port Y matrix이다. 수식 (1)을 통해 추출한 DUT의 R_{eff} 와 L_{eff} , Total 구조에 PSD를 적용하지 않고 얻은 R_{eff} 와 L_{eff} , DUT만을 시뮬레이션해서 얻은 R_{eff} 와 L_{eff} 들을 각각 비교했고, 그 결과를 Fig.2를 통해 볼 수 있다. DUT만을 시뮬레이션한 결과와 De-embedding을 적용한 결과가 관심 주파수 대역에서 동일함이 확인되므로 제안한 알고리즘이 올바르게 동작함을 검증했다.

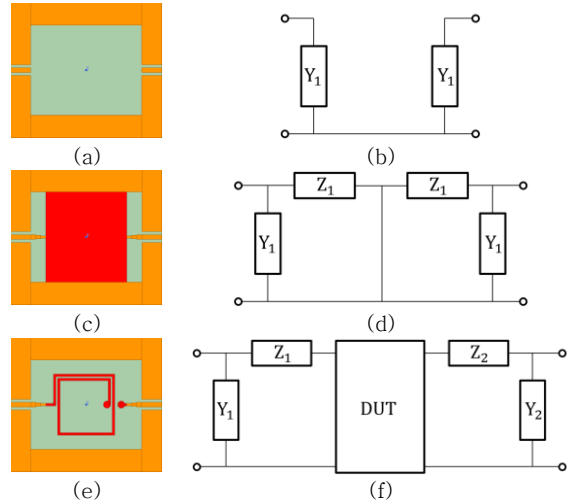


Fig 1. 각 구조의 Layout과 Equivalent circuit
 (a) Pad Layout (b) Pad 등가회로 (c) Short Layout
 (d) Short 등가회로 (e) Total Layout (f) Total 등가회로

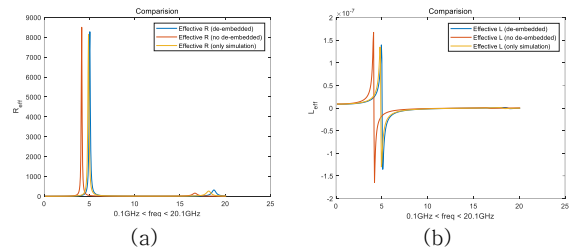


Fig 2. Comparison result of 3 cases (a) R_{eff} (b) L_{eff}

III. 결론

본 연구를 통해 On-wafer 측정 환경에서 Inductor만의 특성을 추출하기 위한 Pad와 Short 패턴들을 이용한 De-embedding 알고리즘을 제안했다. 알고리즘을 검증하기 위해 제안한 알고리즘을 적용해 추출한 PCB Inductor의 Y parameter와 Inductor만을 시뮬레이션해서 얻은 Y parameter를 비교했다.

참고문헌

[1] Reydezel Torres-Torres, et al, "Analytical Model and Parameter Extraction to Account for the Pad Parasitics in RF-CMOS," IEEE Transactions on Electron Devices, vol. 52, no.7, pp. 1335-1342, July 2005.

