

# Phase Conjugation 기반의 무선전력전송 디지털 시스템 구현

유태우<sup>1</sup> · 남상욱<sup>2,\*</sup>

<sup>1,2</sup>서울대학교

전기정보공학부 뉴미디어통신공동연구소

## Implementation of microwave power transfer system in a digital domain based on phase conjugation method

Taewoo-Yu<sup>1</sup> · Sangwook-Nam<sup>2,\*</sup>

<sup>1,2</sup>Seoul National University

Dept. of electrical and computer engineering, Institute of New Media and Communication

E-mail : twyu@ael.snu.ac.kr / snam@snu.ac.kr

### 요 약

최근 들어 Microwave를 이용한 무선전력전송 시스템에 대한 연구가 활발하게 진행되고 있다. 본 논문에서는 ISM 주파수 대역(2.5GHz)에서 최대 효율을 얻기 위한 Phase Conjugation(PC) 기반의 무선전력 전송에 필요한 디지털 시스템을 High speed ADC/DAC와 FPGA를 이용해 구현하였다.

### ABSTRACT

Nowadays, researches on wireless power transfer systems using microwaves have been actively conducted. In this paper, we implement the digital system for wireless power transmission based on Phase Conjugation(PC) to achieve maximum efficiency in ISM frequency band (2.5GHz) using high-speed ADC / DAC and FPGA.

### 키워드

Wireless power transfer, Phase conjugation, Maximum efficiency, FPGA

## I. 서 론

전자파를 이용한 무선전력전송 시스템은 많은 연구가 되고 있다. 최근 연구에서는 무선전력전송 시스템의 효율을 최대로 얻고자 할 때, 모바일 단에서 쏘아준 pilot 신호의 위상을 뒤집어서 Base station에서 보내주는 Phase Conjugation(PC) 방법이 최적의 해임을 수학적으로 증명되었다 [1]. 본 논문에서는 high speed ADC/DAC 및 FPGA를 이용하여 ISM band(2.5GHz)에서 동작 가능한 phase conjugation 디지털 시스템을 구현하였다.

## II. 수신부 및 phase difference detection

채널 사이의 수신한 pilot 신호 위상 차이를 추출하기 위해서 ADC 뒷 단계 digital IQ Mixer를 사용하였으며, 이는 하나의 채널당 I/Q 2개의 path를 만든다. 본 논문에서는 high speed ADC/DAC를 사용하였으며 이에 따라 ADC 샘플링 주파수가 FPGA의 최대 클럭 주파수를 넘게 된다. 따라서, pilot 신호를 수신하는 관점에서 FPGA의 한 클럭 당 여러 개의 serial 샘플 데이터가 FPGA 단으로 이동하게 된다. 각 path로 들어오는 serial 샘플 데이터를 parallel 샘플 데이터로 바꾸어 주는 블록과 arc-tangent 연산을 취해주는 COordinate Rotation DIgital Computer(CORDIC) 알고리즘을 이용하여

---

\* corresponding author

그림 1(a)와 같이 샘플끼리의 위상 계산을 하는 블록을 구현하였다.

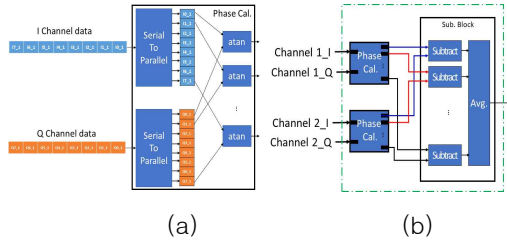


그림 1. (a) Serial to parallel 및 CORDIC 블록  
(b) Subtraction 및 Averaging 블록

그림 1(b)와 같이 그림 1(a)의 블록을 채널마다 이용하고 뺄셈 연산을 하는 블록을 추가하여 위상차를 구하는 블록을 구현하였다. 1번 채널을 reference로 잡았을 때, 위상차를 구하는 식은 식 (1)과 같다.

$$\Delta\phi = \tan^{-1}\left(\frac{Q_{channel1}}{I_{channel1}}\right) - \tan^{-1}\left(\frac{Q_{channel2}}{I_{channel2}}\right) \quad (1)$$

이렇게 동시간의 샘플끼리 연산을 하여 구해진 위상차에 해당하는 data들의 averaging을 취하면 error를 줄일 수 있다. 이 데이터들을 First In First Out(FIFO)와 같은 저장공간에 저장한 후, 신호를 송신할 때 해당 데이터를 활용할 수 있다.

### III. 송신부

Conjugation 된 phase 값을 기반으로 전자파 에너지를 싸주기 위해서는 II에서 찾은 채널 사이의 위상 차이에 -를 취해준 뒤, 디지털 소스에 넣어 주어야 한다. 위에 언급되었듯이 본 논문에서는 high speed DAC를 사용하였기 때문에 FPGA domain에서 여러 개의 샘플을 한 클록에 동시에 보내주어야 한다. 본 논문에서는 한 채널당 8개의 Direct Digital Synthesis(DDS) 블록을 이용하여 2.5GHz sinusoidal wave에 해당하는 디지털 샘플들을 만들어 주었으며, 앞에서 구한 phase difference를 기반으로 initial phase의 offset을 구현하였다. 최종적으로 이 데이터들은 DAC 블록으로 들어가게 되어 analog output 신호를 spectrum analyzer로 관측해 보면 그림 2와 같이 2.5GHz의 RF 신호를 볼 수 있다. 2.5GHz 외의 다른 주파수 성분은 DAC 샘플링 특성에 의해서 결정되는 주파수이다.

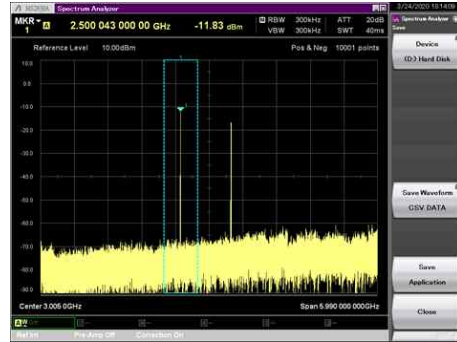


그림 2. 출력 신호 주파수 Spectrum

### IV. 측정 결과

본 논문에서는 구현한 방식이 실제로 잘 동작하는지 검증을 진행하였다. 두 개의 채널 사이의 위상 차이를 주었을 때, PC가 잘 동작하는지 확인하였다. 그림 3에서 볼 수 있듯이 입력 신호에 대해 위상 delay를 6가지 경우로 조절해 줌에 따라 도출되는 출력 신호의 위상 delay 값이 conjugate 되어 잘 나오는 것을 확인할 수 있었다. 각 point에 대해 오차는 1도 미만으로 나타났다.

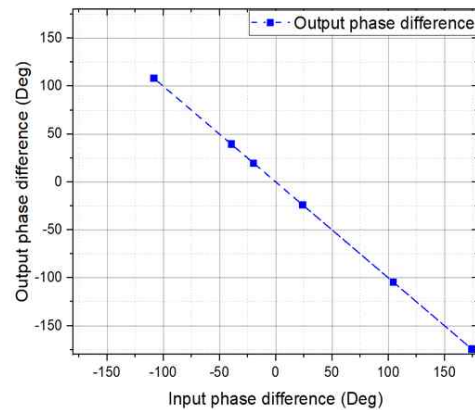


그림 3. Input phase difference 대비 Output phase difference

### V. 결론

본 논문에서는 High speed ADC/DAC와 FPGA를 이용하여 PC 기반의 무선전력전송 시스템에 필요한 알고리즘을 구현하였다. 해당 알고리즘은 두 채널 사이의 위상 차이를 찾아내고, 해당 데이터를 DDS 블록의 phase controller의 입력으로 넣어주는 연산에 해당한다. 현재 두 개의 채널에 대해서만 적용 가능하지만, 후속 연구로 다중 채널에 대해서 확장 예정이다.

## Acknowledgement

이 성과는 2020년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2016R1E1A1A01943375).

## References

- [1] J.H. Kim, Y. Lim, and S. Nam. "Efficiency Bound of Radiative Wireless Power Transmission Using Practical Antennas." *IEEE Trans. Antennas Propag.*, vol. 67, no. 8, pp. 5750-5755, Aug. 2019.