

0.11 μm CMOS 공정을 이용한 4세대 이동통신용 광대역 고 선형 전력증폭기의 설계 및 구현

A Design of Power Amplifier with Broadband and High Linearity for 4G Application in 0.11 μm CMOS Process

김 기 현 · 고 재 용 · 남 상 욱

Ki-Hyun Kim · Jae-Yong Ko · Sang-Wook Nam

요 약

본 논문은 0.11 μm CMOS 공정을 이용한 4세대 통신용 광대역 고 선형 전력 증폭기의 설계와 구현에 관해 기술한다. 1:2 트랜스포머(transformer)를 사용하여 출력단 매칭을 구현하였고, 인터 스테이지(inter-stage) 매칭에서 선형성을 고려한 설계가 포함되었다. 1.8 GHz에서 2.3 GHz까지, 10 MHz의 대역폭을 가지는 LTE 16-QAM 신호를 이용하여 측정한 결과, 인접채널 누설 비(ACLR)가 -30 dBc 이하일 때 27.3 dBm 이상의 선형 출력 전력을 얻을 수 있었고, 같은 조건에서 입력 신호 전력을 고려한 효율(PAE)은 최소 26.1 %로 나타남을 확인하였다.

Abstract

This work shows that the design and test results of a power amplifier(PA) with broadband and high linearity for 4G applications in 0.11 μm CMOS process. A 1:2-transformer is designed for load impedance matching of PA and a inter-stage matching is implemented for a linearity. A designed PA achieves more than 27.3 dBm of linear output power and 26.1 % of power-added efficiency(PAE) under an adjacent channel leakage ratio(ACLR) of -30 dBc for a LTE 16-QAM 10 MHz signal with a carrier frequency range of 1.8 to 2.3 GHz.

Key words: ACLR, Linearity, Power Amplifier, Transformer

I. 서 론

3세대 이동 통신을 거쳐 LTE, WIMAX 등 4세대 이동 통신 기술로 발전함에 따라 각기 다른 주파수와 서비스를 제공하고, 동시에 이동 통신 기기의 가격을 낮추기 위한 광대역 전력증폭기에 관한 연구가 대두되었고, 이러한 요구에 따라 CMOS를 이용한 광대역 선형 전력 증폭기에

관한 연구가 실제로 활발히 진행 중이다.

하지만, CMOS 공정은 본질적인 특성 때문에 전력증폭기 설계에 사용하기 위해서 고려되어야 하는 몇 가지 문제점들을 가지고 있다. 첫째로, 서브스트레이트 비아 홀이 없어서 열에 의한 전력 증폭기의 성능 열화가 존재한다. 둘째로, 낮은 Q-factor를 가지는 CMOS 수동 소자 특성이다. 셋째로, CMOS 공정의 트랜지스터가 가지는 낮

「이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No.2009-0083495)」

서울대학교 뉴미디어연구소 & 전기컴퓨터공학과(INMC & Department of Electronical and Computer Engineering, Seoul National University)

· Manuscript received October 20, 2015 ; Revised November 25, 2015 ; Accepted December 22, 2015. (ID No. 20151020-080)

· Corresponding Author: Ki-Hyun Kim (e-mail: kihyun@ael.snu.ac.kr)

은 브레이크다운 전압 특성이다. 이처럼 CMOS 공정은 전력 증폭기 설계용으로 개발된 공정이 아니며, 실제로 아날로그 회로나 디지털 집적 회로 설계에 많이 이용된다.

그럼에도 불구하고, CMOS 공정은 실리콘 기반으로 가격이 싸고, 고집적 특성을 가지고 있다는 장점만으로 이동통신용 전력증폭기 연구에 있어서 사용될만한 충분한 가치가 있다. 때문에, 현재까지도 이를 위한 연구가 참고 논문들 [1]~[3]과 같이 활발히 진행 중이며, 본 논문에서도 CMOS 공정을 이용한 이동 통신용 광대역 선형 전력 증폭기 설계와 구현을 기술하고자 한다.

이동통신용 광대역 선형 전력 증폭기 설계에 관한 연구는 이 논문이 최초는 아니며, 크게 두 가지의 구조로 연구되어 왔다. 첫째는, stacked 구조의 전력 증폭기이고, 둘째는 트랜스포머 기반의 전력 증폭기이다.

Stacked 구조의 전력 증폭기는 트랜스포머의 사용을 피하여 출력단 매칭이 자유로우며, 보통 외부 소자를 통해 매칭을 한다. 하지만, 기본적으로 single-ended 구조인 스택 전력 증폭기는 이동통신 단말기용으로 요구되는 와트 레벨의 출력 전력을 충당하기 위해, DC-DC step up 컨버터를 이용하여 이동통신 단말기의 배터리 전압을 증압시켜 사용해야 한다. 하지만, 이러한 방식의 스택 전력 증폭기는 일반적인 CMOS 공정에서 사용하기가 어렵다. 그 근본적인 이유는 공급 전압을 높임으로써 트랜지스터의 서브스트레이트 부분의 접합 다이오드(junction diode)에서 브레이크다운이 발생하기 때문이다. 이와 관련된 내용은 참고논문 [4]에 잘 기술되어 있으며, 이러한 이유로 스택 구조의 전력 증폭기는 SOI(Silicon-On-Insulator)나 SOS(Silicon-On-Sapphire) 공정과 같은 서브스트레이트가 분리된 floating body 공정에 적합하다. 하지만, 이 때문에 가격 면에서 일반적인 CMOS 공정보다 경쟁력이 떨어지게 된다.

일반적인 CMOS 공정을 사용하는 완전히 집적화된 트랜스포머 기반의 전력증폭기는 가격면에서나 그 크기면에서 상당한 경쟁력을 가지고 있다. 트랜스포머는 기본적으로 출력단 매칭을 함과 동시에 출력 전력을 합성한다. 이는 브레이크다운 문제가 자주 발생하는 CMOS 공정에 적합하다. 그리고 참고논문 [1], [5]는 이러한 트랜스포머

기반의 구조가 이동 통신용 광대역 전력 증폭기의 구조로 적합함을 보여주고 있다. 하지만, 아직까지는 단일 스테이지 전력 증폭기에 관한 연구만 이루어졌을 뿐, 드라이버단과 함께 완전히 집적된 전력증폭기에 관한 연구가 부족하다.

본 논문에서는 드라이버단과 인터스테이지 매칭을 포함한 완전히 집적화된 트랜스포머 기반의 전력 증폭기를 최초로 구현하였다. 출력단의 경우, 참고논문 [6]과 유사하게 T 모델 등가 회로를 이용하여, 1:2 트랜스포머를 설계하고, 이를 통해 1.8 GHz에서 2.3 GHz에 이르기까지 광대역 매칭을 하였다. 인터스테이지의 경우, ADS의 투톤 IMD₃(third inter-modulation third) 시뮬레이션을 통해 비록 이득 및 효율을 손해보더라도, 주파수에 따른 선형성 변화를 최소화 하는 방향으로 설계하였다. 설계된 4세대 이동통신용 전력증폭기는 1.8에서 2.3 GHz에 이르기까지 광대역 고 선형 특성을 보임을 실험을 통해 증명하였다.

II. 광대역 출력단 매칭을 위한 트랜스포머 설계

전력 증폭기 설계에 있어서 출력단 매칭이 미치는 영향은 상당히 크고, 광대역 특성을 얻기 위해서는 반드시 전력증폭기의 로드 풀 결과를 고려한 출력단 매칭이 이루어져야 한다. 그림 1은 50 Ω 으로 정규화된 CW 로드 풀 결과이며, 서로 다른 최적의 지점을 가지는 효율(PAE)과 출력 전력의 등고선들이 함께 나타나있다. 이 결과는 1.95 GHz에서 시뮬레이션된 결과이며, 어느 정도의 주파수 변화에 대해서 크게 바뀌지 않는다. 자세히 들여다보면, 출력 전력의 등고선의 경우, 스미스 차트상의 어드미턴스 서클을 따라 움직임을 관찰 가능하다. 이 결과로부터 출력단 매칭을 1.8에서 2.3 GHz에 이르기까지 임피던스 $5+j$ 인 근처에 어드미턴스 등고선을 따라서 매칭을 하고자 한다.

출력단 트랜스포머의 경우, T-model 등가 회로를 이용하여 매칭에 필요한 변수 값들을 찾아서 설계하고자 한다. 단, k (coupling factor) 값은 참고논문 [1], [6]을 고려하여 0.6으로 정하였다. Q 값의 경우, 공정에서 제공되는 30 μm 의 폭을 가지는 인덕터(inductor) 들에 대해 실험을 통해 측정하여, 그 결과가 해당 주파수 대역에서 10임을 확인하였다.

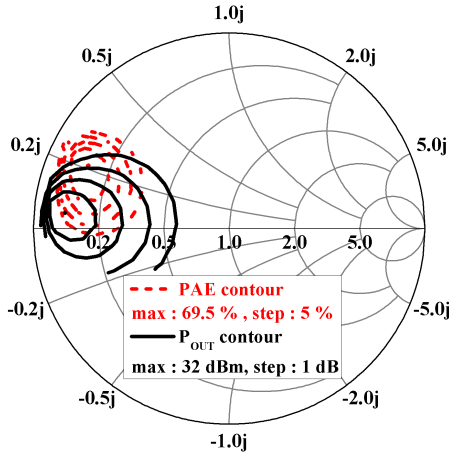


그림 1. 1.95 GHz에서 50옴으로 정규화된 스미스 차트상의 로드풀 시뮬레이션 결과

Fig. 1. Load-pull simulation results for main stage at 1.95 GHz on normalized by 50 ohm smith chart.

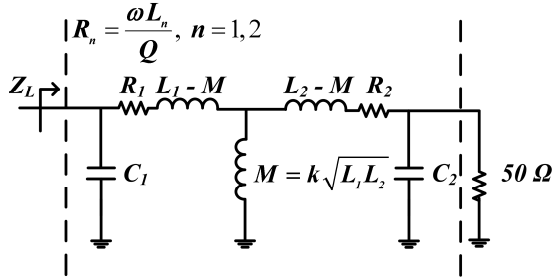


그림 2. 트랜스포머의 T-model 등가 회로

Fig. 2. T-model equivalent circuit of a transformer.

그림 2는 우리가 설계하고자하는 출력단 트랜스포머의 한쪽을 바라 본 등가 회로이다. 여기서 L_1 과 L_2 는 각각 프라이머리 인덕턴스와 세컨더리 인덕턴스의 값을 나타낸다. R_1 과 R_2 는 기생 저항으로 우리가 앞서 실험적으로 구한 Q 값으로부터 구할 수 있다. M 은 mutual 인덕턴스로 L_1 , L_2 와 고정된 k 값에 의해 결정된다. C_1 과 C_2 는 매칭의 자유도를 높이기 위해 추가적으로 달게 되는 커패시터(capacitor)이다. 특히, C_2 는 트랜스포머에서 발생하는 비대칭(asymmetry) 문제를 완화시키는 역할도 한다. 본 논문에서는 위 변수들 사용한 T 등가 회로를 이용하여 1.8 GHz에서 2.3 GHz까지 트랜스포머의 효율보다는 전력 증폭기의 출력단 매칭을 중점적으로 기술하고자 한다.

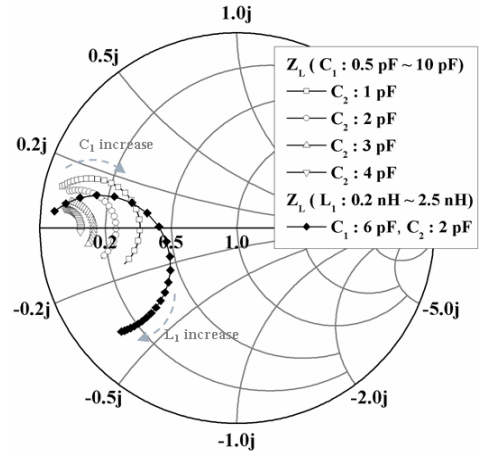


그림 3. 1.95 GHz에서 L_1 , L_2 , C_1 , 그리고 C_2 변수 값에 따른 Z_L 의 계산 결과 값

Fig. 3. Calculated results of Z_L with the variation of L_1 , L_2 , C_1 , and C_2 at 1.95 GHz.

그림 3은 등가회로로부터 1.95 GHz 주파수에서 변수들의 값의 변화에 따라 바라다본 임피던스의 값을 50옴으로 정규화된 스미스 차트 상에 나타낸 것이다. 처음에는 L_1 과 L_2 를 각각 0.5 nH, 2.5 nH로 고정한 뒤, C_1 과 C_2 의 변화에 따른 출력 임피던스 변화를 살펴보았다. 이 시뮬레이션의 목적은 설계 변수들이 출력 임피던스에 미치는 영향을 살펴서, 이후에 광대역 매칭에 이용하려는데 있다. 이 결과로부터 우리는 C_1 값의 변화를 통해 출력단 임피던스를 constant 어드미턴스 라인을 따라 조절이 가능함을 알 수 있다. 또한, C_2 는 임피던스의 변환율에 관여함을 확인하였고, 그 수치가 일정 수치가 되어야만 출력단 매칭이 가능함을 알 수 있다. 그래서 본 논문에서 50 옴을 $5+5j$ 근처로 임피던스 변환하기 위해 C_2 를 2 pF으로 고정하였다. 그리고 최종적인 임피던스 변환은 L_1 과 L_2 의 비를 통해 조정하고자 한다. 그림 3에 나타난 진한 선은 L_2 를 2.5 nH로 고정해두고, L_1 을 변화시켜 그 두 인덕턴스의 비를 조정함에 나타나는 출력단 임피던스 변화를 살펴본 결과이고, 기본 트랜스포머의 특성처럼 L_1 이 커져서 그 비가 작아질수록 임피던스 변환율이 작아짐을 알 수 있다. 즉, L_1 값이 어느 정도 작아져야만 50옴을 $5+5j$ 근처에 매칭이 가능함을 나타내며, 대략 여기서는 0.45 nH의 값을 가질 때, 1.95 GHz 주파수에서 매칭이 됨을 확인하였다.

우리는 위 시뮬레이션 결과의 방향성을 바탕으로, 1.8에서 2.3 GHz에 이르는 주파수 대역에 대해 출력 임피던스가 $5+5j$ 근처에 머물면서 주파수에 따라 어드미턴스의 실수부가 유지되도록 각각의 변수 값들의 변화를 통해 출력단 매칭을 하였다. 그림 4는 T 모델에 의한 계산 결과와 이를 바탕으로 하여 설계된 1:2 트랜스포머를, EM (electromagnetic) 시뮬레이션을 한 결과이며, 이때 사용된

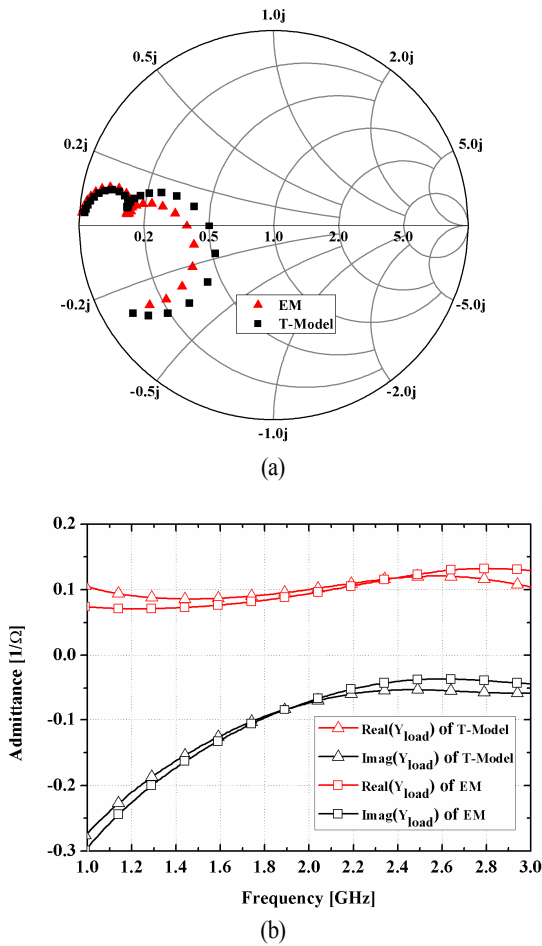


그림 4. (a) 0.6에서 5 GHz까지 T-모델 계산과 EM 시뮬레이션 결과에 의한 출력 임피던스 매칭 지점, (b) 주파수에 따른 출력 어드미턴스 변화

Fig. 4. (a) Load impedance(Z_L) matching points of the T-model related to the main amplifier and EM simulation results from 0.6 to 5 GHz, and (b) Load admittances of T-model and EM simulation results across 1 GHz to 3 GHz.

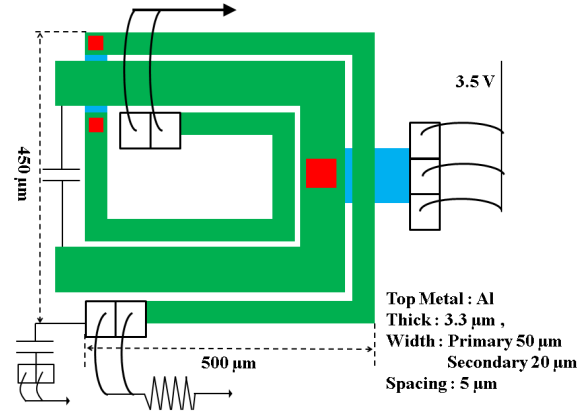


그림 5. 설계된 출력단 트랜스포머 정보
Fig. 5. Designed output transformer information.

변수 값, L_1 , L_2 , C_1 , 그리고 C_2 는 각각 0.45 nH, 2.65 nH, 6 pF, 그리고 2 pF이다. 그림 4는 우리가 예상한 대역 1.8 ~ 2.3 GHz에서 보다 훨씬 넓은 범위에서 광대역 매칭이 가능함을 보여준다. 또한, 그림 5는 실제로 설계되고, EM 시뮬레이션에 사용된 트랜스포머의 정보를 나타낸다.

III. 선형성을 고려한 인터스테이지 매칭

전력 증폭기 설계에서 드라이버단과 메인단 사이의 인터스테이지 매칭은 전체 전력 증폭기의 선형성 및 효율에 상당한 영향을 미친다. 또한, 광대역 전력 증폭기 특성을 위해서는 반드시 설계에서 고려해 줘야 하는 부분이다. 하지만, 일반적으로 선형성과 효율은 트레이드오프 관계를 가지고 있어서 두 성능 공통의 최적 지점은 찾기가 어렵다.

본 논문에서는 10 MHz 주파수 간격을 가지는 투 톤 시뮬레이션을 통해 인터스테이지 매칭점을 드라이버단의 출력 임피던스 기준으로 살펴보고, 주파수에 따라 선형성의 변화가 적은 곳에 매칭을 구현하기로 하였다. 단, 드라이버단의 출력 임피던스에 따라 증폭기의 성능 간 트레이드오프가 있다는 점을 감안하여, 인접 채널 누설비가 -25 dBc인 최대 선형 출력지점에서 이득은 20 dB, 효율은 30 % 이상이 보이도록 제한을 하고, 선형성에 중점을 두어 설계하였다.

최대한 사용되는 소자수를 줄여서 간단하고, 직관적인

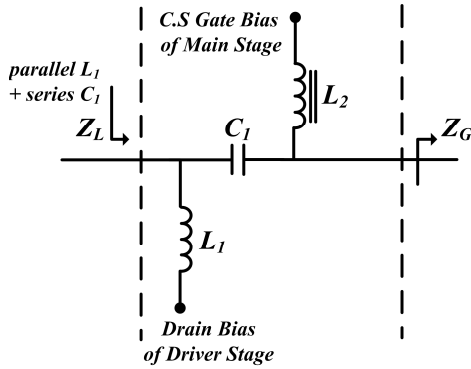


그림 6. 광대역 선형 매칭을 위한 인터스테이지 매칭 네트워크

Fig. 6. Inter-stage matching network for broadband linear output power.

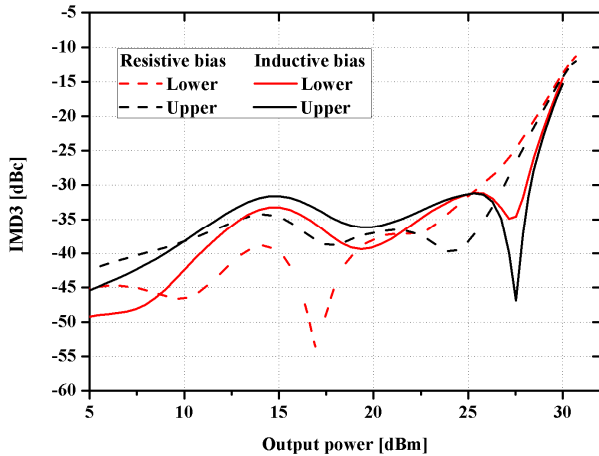


그림 7. 메인 게이트에서 저항 바이어스와 인덕터 바이어스에 따른 선형성의 차이

Fig. 7. Difference of linearity between using resistance bias and using inductor biases at main-gate.

매칭 회로를 그림 6과 같이 제안한다. Z_G 는 메인단 증폭기의 입력 임피던스이다. 위 회로에서 실제 드라이버단의 매칭에 영향을 주는 소자는 L_1 과 C_1 이다. L_2 는 메인단의 바이어스를 공급해주는 인덕터이며, 매칭에는 관여하지 않도록 공정에서 구현 가능한 L_1 보다 상당히 큰 값을 사용하였다. 이런 방법을 사용한 이유는 저항 바이어스보다 인덕터를 이용한 바이어스가, envelope 혹은 baseband 주파수에서 낮은 임피던스를 게이트단에서 보이게 함으로써 선형성을 향상시키기 위함이다. 또한, 참고논문 [7]

에서 언급된 것처럼 baseband 임피던스가 전력증폭기 선형성에 미치는 영향은 그림 7과 같이 시뮬레이션을 통해 확인이 가능하다. 이때 사용된 인덕터의 값은 10 nH이고, 비교를 위해 사용된 바이어스 저항 값은 10 k 옴이다.

그림 8은 투 톤 시뮬레이션 통해 IMD_3 가 -25 dBc를 만족하면서 최대 선형출력이 28 dBm 이상을 만족하는 드라이버단의 출력 임피던스 매칭 지점을, L_1 과 C_1 값의 변화에 따라 스미스 차트 상에 나타낸 결과이다. 이때 메인단의 게이트 임피던스를 나타내는 Z_G 는 $2.767 - j11.126$ 이다. 이 결과는 드라이버의 출력단 임피던스의 크기를 증가시키는 방향으로 매칭을 할 때, 효율과 이득 특성은 좋아지는 반면, 선형성 특성이 나빠지는 경향을 보여준다. 그림 9는 그림 6에서 나타난 선형성이 좋게 나타나는 지점인 L_1 과 C_1 이 각각 1.8 nH, 25 pF인 경우와 그 반대의 경우를 비교하여 나타내고 있다. 본문에서 언급했듯이, 이것은 드라이버 출력단 매칭에서 발생하는 트레이드오프 현상이다. 그 근본적인 이유는 드라이버단의 출력 임피던스를 작게 가져 갈수록, 로드 풀 이론으로 따라서 마치 입력 신호를 백 오프한 것과 같은 효과를 가지게 되어

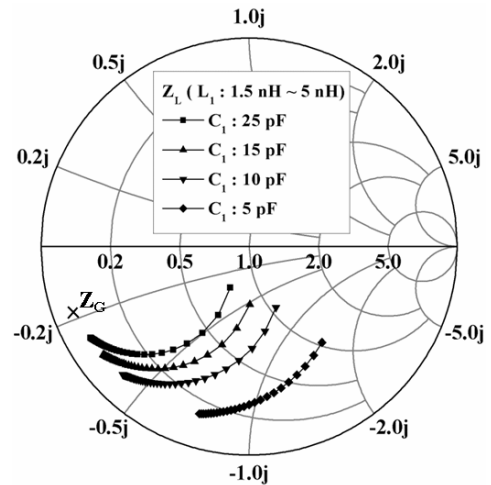


그림 8. 투톤 시뮬레이션을 통해 확인한 IMD_3 가 -25 dBc 이하이면서 선형 출력 전력이 28 dBm 이상인 드라이버단의 출력 임피던스 지점

Fig. 8. Load impedance(Z_L) of the driver amplifier to ensure that the maximum linear power exceeds 28 dBm at an IMD_3 level of -25 dBc at 1.95 GHz.

선형성은 좋아지는 반면, 이득과 효율 특성이 나빠지게 되기 때문이다. 결과적으로 선형 위주의 매칭은 최대 선형 출력에서 효율 4 %와 약 이득 3 dB 정도의 손해를 보게 되었다.

본 논문에서 앞서 언급한 것과 같이, 우리는 비록 효율 및 이득에서 손해를 보더라도 광대역 선형성을 중점으로 인터스테이지 매칭을 하고자 한다. 그래서 상대적으로 매칭 회로의 대역폭이 크도록 C_1 값을 25 pF로 결정하였다. 왜냐하면, 그림 8이 보여 주듯, C_1 값이 25 pF 정도가

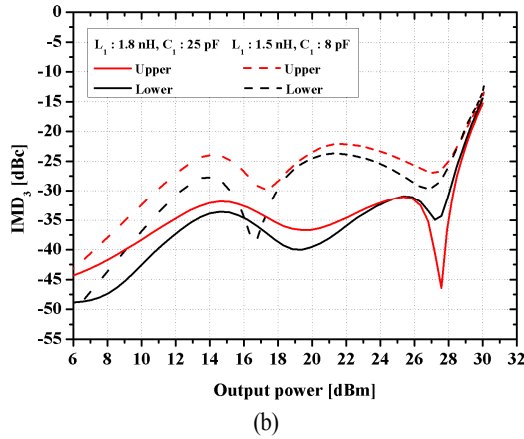
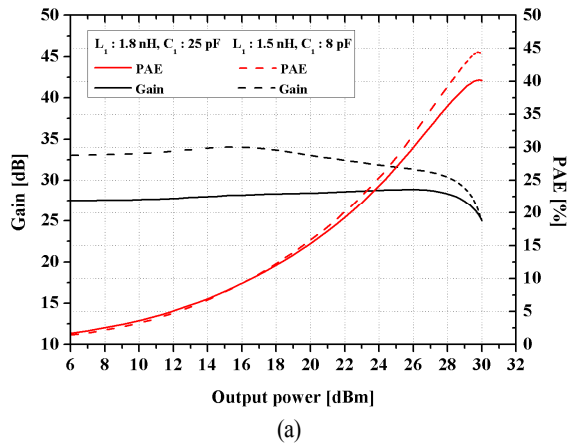


그림 9. 드라이버 출력 매칭에 따른 (a) 이득과 효율 (b) IMD_3 시뮬레이션 결과. 각각의 결과는 이득 위주의 매칭과 선형성 위주의 매칭을 나타낸다.

Fig. 9. (a) Gain and PAE (b) IMD_3 simulation results achieved by a two-tone simulation at 1.95 GHz. The results show two case of focused gain matching and focused linearity matching.

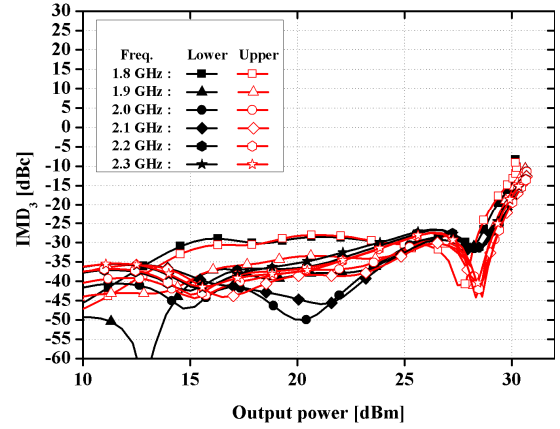


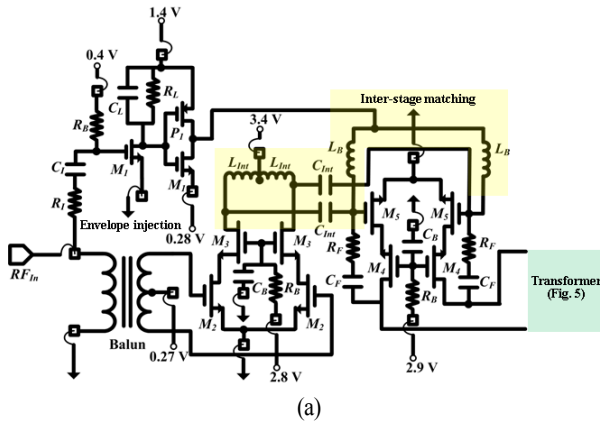
그림 10. L_1 과 C_1 이 각각 1.8 nH, 25 pF일 때, 1.8에서 2.3 GHz까지 두톤 IMD_3 시뮬레이션 결과

Fig. 10. Two-tone IMD_3 simulation results from 1.8 to 2.3 GHz, when L_1 , C_1 is 1.8 nH, 25 pF.

되면, 출력단 임피던스 변환율은 최소가 되면서 동시에 28 dBm 이상의 고 선형 출력을 얻을 수 있기 때문이다. C_1 값을 더 키워도 상관은 없지만, 그 이상은 칩 사이즈를 키우게 되기 때문에, 적절히 25 pF로 결정하였다. 결과적으로, 1.8 GHz에서 2.3 GHz에 이르기까지 상당히 작은 임피던스가 드라이버의 드레인과 메인단의 게이트 사이에 직렬로 연결되는 것과 같으므로, 이후 L_1 값만의 결정을 통해 매칭이 간단해질 수 있다. 실제로 주파수가 증가하여 ωL_1 값이 커져서, 드라이버 출력단 매칭 지점이 바뀌는 것과 L_1 값을 바꿈에 따라 드라이버 출력단 매칭 지점이 바뀌는 것은 스미스 차트 상에서 이동 궤적이 완전히 일치하게 된다. 때문에 그림 8에 나타난 C_1 값이 25 pF인 경우에 대해, 1.8에서 2.3 GHz에서 이르기까지, 앞에서 언급한 20 dB 이상의 이득과 효율 30 %를 만족되는 L_1 값을 찾기만 하면 된다. 최종적으로 L_1 값은 1.8 nH로 결정되었고, 이때 적용된 인터스테이지 매칭과 섹션 II에서 설계된 광대역 출력 트랜스포머를 포함한 전력 증폭기의 1.8에서 2.3 GHz 주파수 변화에 따른 IMD_3 시뮬레이션 결과는 그림 10과 같이 나타남을 확인하였다.

IV. 구현 및 측정

최종적으로, 본 논문에서 구현된 인터스테이지 매칭과



Category	Parameter	Value [Ohm, H, F, m]
Resistor	R_B, R_L, R_F, R_I	10 k, 100, 20 k, 1.5 k
Inductor	L_{in}, L_B	1.8 n, 10 n
Capacitor	C_B, C_L, C_B, C_I	0.8 p, 5 p, 0.27 p, 5 p
Transistor (Width/length)	M_1, P_1	72 μ / 129 n, 144 μ / 129 n
	M_2, M_3	518.4 μ / 129 n, 518.4 μ / 274.5 n
	M_4, M_5	4.15 m / 129 n, 4.15 m / 274.5 n

(b)

그림 11. 설계된 CMOS 광대역 전력 증폭기의 (a) schematic과 (b) 사용된 소자 정보

Fig. 11. (a) Schematic and (b) parameter informations of designed CMOS broadband power amplifier.

광대역 트랜스포머를 포함하는 전력 증폭기의 schematic이 그림 11에 나타나 있다. 메인단의 바이어스와 인터스테이지 매칭을 위한 인덕터의 구조는 레이아웃의 편의와 칩 사이즈를 줄이기 위해 공정에서 제공되는 CT(Center Tap)가 있는 대칭 형태를 사용하였다. R_F 와 C_F 로 구성된 negative 피드백은 전력 증폭기의 안정성을 높이거나, 매칭에 이용가능하다. 메인단과 드라이버단은 CMOS 전력 증폭기 설계에 있어서 브레이크다운 문제를 완화시키는 데 도움을 주는 캐스코드 구조로 설계되었다. 이와 더불어 CG(Common Gate)의 트랜지스터는 0.22 μ m의 thick-oxide 소자를 사용하여 트랜지스터가 받는 전압 스트레스를 줄였다. 반면에 CS(Common Source)의 경우, 높은 전력 이득을 위하여, 0.11 μ m의 thin-oxide 소자를 사용하였다. 사용된 메인단의 CG와 CS 트랜지스터들의 총 width 크기는 8.3 mm이고, 드라이버단의 총 크기는 대략 1 mm 정도이다. 모든 바이어스는 측정에서 최고의 선형성을 얻기

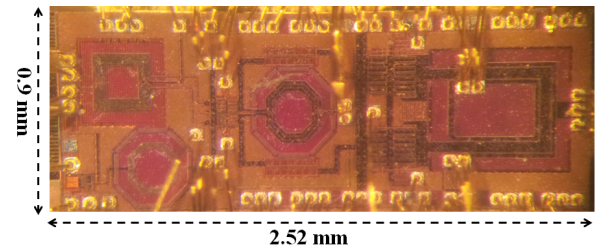


그림 12. 설계된 CMOS 광대역 전력 증폭기의 칩사진

Fig. 12. Chip photo of designed CMOS broadband power amplifier.

위해 외부 서플라이를 통해 조정할 수 있도록 하였다. 이때, 메인단의 드레인 전압은 3.5 V를 사용하고, CG의 바이어스는 2.9 V로 사용하였다. CG 바이어스의 경우 CS의 최대 드레인 전압과 거의 같고, 이는 브레이크 다운에 대한 고려가 필요함을 의미한다. 그래서 실험적으로 메인단에 사용된 power cell의 DC I-V 특성을 측정하여 바이어스들의 안전성을 먼저 검증한 뒤 사용하였다. 그리고 전력증폭기의 선형성을 좀 더 높이기 위해 envelope 신호에 따라 메인단의 바이어스를 바꿔주는 참고논문 [8]의 회로를 설계에 포함하였다. Envelope injection 회로는 증폭기가 포화되는 구간에서 증폭기의 바이어스를 상승시켜, AM-AM 특성을 향상시켜준다. 이 회로는 IMD₃ 시뮬레이션을 통해 -25 dBc의 기준으로 증폭기의 선형성을 약 0.8 dB 향상시키는 것으로 확인되었다.

설계된 전력 증폭기는 0.11 μ m 1P8M CMOS 공정을 사용하여 완전히 집적된 칩으로 제작하였다. 이 공정에 사용된 모든 메탈의 재질은 알루미늄이며, 최상위 메탈의 두께는 3.3 μ m이다. 비록 이 때문에 설계에 사용된 수동 소자의 Q 팩터가 낮지만, 구리를 사용한 공정보다 가격이 싸다는 장점이 있다. 제작된 CMOS 칩의 사진은 그림 12에 나타나 있고, 그 크기는 2.52 mm×0.9 mm이다.

제작된 전력 증폭기의 출력 전력은 스펙트럼 장비의 고장을 방지하기 위해 감쇠기와 커플러를 통하여 측정되었다. 일반적으로 스펙트럼 장비의 입력 신호 크기는 1 W로 제한받고, 4세대 이동 통신용 신호의 PAPR(Peak to Average Power Ratio)을 고려하면, 측정 중에 순간적으로

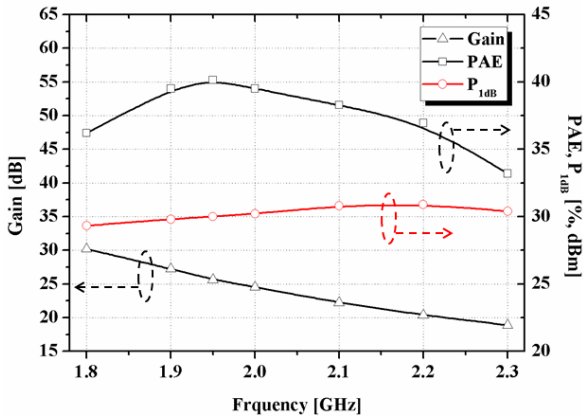


그림 13. 1.8에서 2.3 GHz까지 1-dB 이득감소 지점에서의 CW 측정 결과

Fig. 13. CW measurement results from 1.8 to 2.3 GHz at a 1-dB compression point.

입력 신호의 크기가 1 W를 상회하는 경우가 발생하므로, DC 블록 커패시터와 함께 반드시 고려해 줘야 하는 부분이다. 또한, 정확한 출력 전력을 측정하기 위하여 커플러의 커플링 포트에 파워 미터기를 연결하여 사용하였으며, 1.8에서 2.3 GHz에 이르는 주파수에 대해 커플러의 커플링, 삽입 손실 등을 고려하여 파워 미터기를 calibration 하였다. 사용된 파워 미터와 스펙트럼 장비의 모델명은 Agilent 사의 N1912A와 N9020A이며, 신호 발생기의 경우 같은 회사 제품인 N5182B가 사용되었다. 설계된 전력 증폭기는 주파수에 따라 이득 특성 변화가 존재하기 때문에, 각 주파수마다 넣어주는 입력 신호의 범위를 조절하였다. 측정 시, 모든 장비는 GPIB와 LAN 포트를 통해 PC에서 Agilent 사의 VEE 프로그램을 사용하여 제어하였다.

측정된 전력 증폭기의 게이트 바이어스는 높은 선형성을 위해 Class-AB에 가깝게 조정하였고, 이때 대기전류는 메인단과 드라이버단 모두 포함하여 114 mA이었다. 그림 13은 1.8 GHz에서 2.3 GHz까지 측정된 전력 증폭기의 CW 특성을 나타낸다. 1 dB 이득 감소 시점에서의 출력 전력은 최대 30.9 dBm과 최소 29.3 dBm을 보였으며, 이때 효율의 변화는 최대 33.2 %에서 40.1 %이었다.

LTE 16-QAM 10 MHz 신호를 사용하여 인접 채널 누설비를 측정된 결과는 그림 14(a)에 나타나 있다. 1.8 GHz

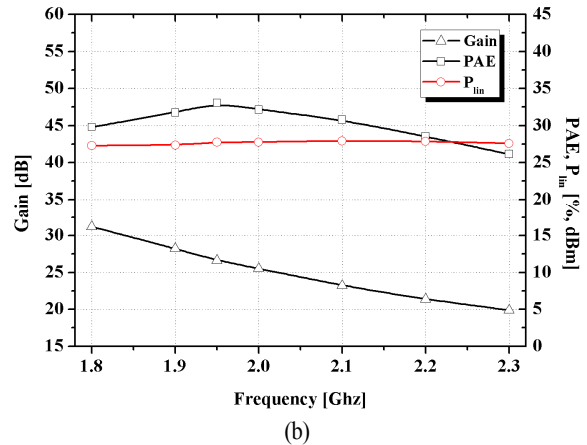
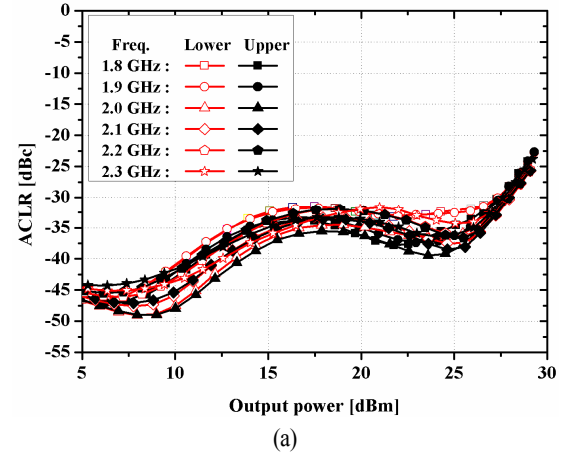
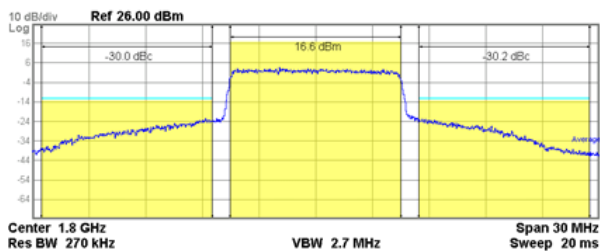


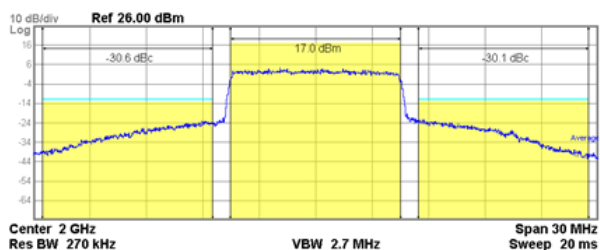
그림 14. 1.8 GHz에서 2.3 GHz까지 측정된 (a) 인접 채널 누설비 특성과 (b) -30 dBc의 인접 채널비를 만족하는 선형 출력 전력에서의 이득과 효율

Fig. 14. (a) ACLR measurement results from 1.8 to 2.3 GHz (b) Measure linear output power at an ACLR of -30 dBc, with the gain and efficiency from 1.8 to 2.3 GHz.

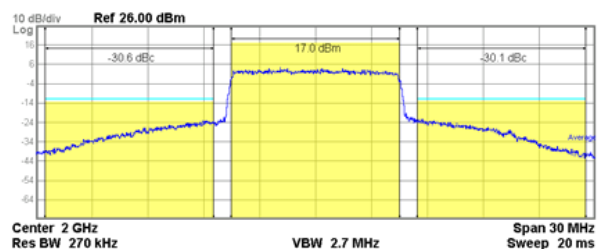
에서 2.3 GHz에 이르기까지 -30 dBc의 인접 채널 누설비에서 측정된 선형 전력 출력은 27.3 dBm 이상으로 나타났다. 측정된 주파수에 따른 선형 출력과 그 지점에 나타나는 이득과 효율을 함께 나타낸 그래프는 그림 14(b)이다. 그림 15는 1.8, 2, 그리고 2.3 GHz에서 출력전력이 27.3 dBm, 27.76 dBm, 27.6 dBm인 경우의 측정된 주파수 스펙트럼이다. 사용된 신호는 0.1 % 기준으로 7.5 dB의 PAPR을 가진다.



(a)



(b)



(c)

그림 15. 각 주파수에서 측정된 출력 스펙트럼 (a) 1.8 GHz에서 전력 27.3 dbm일 때, (b) 2 GHz에서 전력 27.76 dbm일 때, (c) 2.3 GHz에서 전력 27.6 dbm일 때
Fig. 15. Measured output spectrum (a) at 1.8 GHz with 27.3 dbm (b) at 2 GHz with 27.76 dbm (c) at 2.3 GHz with 27.6 dBm.

V. 결 론

본 논문에서는 최초로 완전히 집적화된 4세대 이동 통신용 고 선형 전력 증폭기를 설계하고, 구현하였다. 트랜스포머를 이용한 출력단 광대역 매칭과 드라이버단의 선형성과 대역폭을 고려한 인터 스테이지 매칭을 본 설계에 포함하였다. 측정된 전력 증폭기는 비록 주파수에 따라 이득 특성이 크게 변하는 경향은 있었지만, 1.8 GHz에서 2.3 GHz의 주파수 범위에서 인접 채널비가 -30 dBc를 만족하는 선형 출력 전력이 27.3 dBm 이상의 결과

표 1. 설계된 CMOS 광대역 전력 증폭기의 성능 비교표
Table 1. Comparison with previous works.

참고논문	[2]	[5]	본 연구
공정	0.18- μ m SOI CMOS	0.18- μ m Standard CMOS	0.11- μ m Standard CMOS
구조	One-stage	One-stage	Two-stage
전원(V)	2.5	3.5	3.4, 3.5
주파수(GHz)	1.9~2.7	1.4~2.0	1.8~2.3
모듈레이션	LTE 20 MHz	LTE 10 MHz	LTE 10 MHz
최대 선형 출력 @ ACLR (dBm, dBc)	22.4 @ -30	27.5 @ -30.5	27.9 @ -30
PAE(%)	> 18.5	36.5~31.2	33~26.1

를 보여 주었으며, 이때 효율은 최소 26.1 %로 나타났다. 표 1은 측정된 증폭기의 결과를 다른 연구들의 성능과 비교하여 나타낸다.

References

- [1] J. Boshi, J. Moon, C. Zhao, and B. Kim, "A 30.8-dBm wideband CMOS power amplifier with minimized supply fluctuation", *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 6, pp. 1658-1666, Jun. 2012.
- [2] B. Francois, P. Reynaert, "Highly linear fully integrated wideband RF PA for LTE-advanced in 180-nm SOI", *IEEE Trans. Microw. Theory Tech.*, vol. 63, no. 2, pp. 649-658, Feb. 2015.
- [3] S. Leuschner, J. -E. Mueller, and H. Klar, "A 1.8 GHz wide-band stacked-cascode CMOS power amplifier for W-CDMA application in 65 nm standard CMOS", in *IEEE RFIC Symp.*, pp. 1-4, Jun. 2011.
- [4] S. Pornpromlikit, J. Jeong, C. Presti, A. Scuderi, and P. Asbeck, "A watt-level stacked-FET linear power amplifier in siliconon-insulator CMOS", *IEEE Trans. Microw. Theory Tech.*, vol. 58, no. 1, pp. 57-64, 2010.
- [5] S. Jin, M. Kwon, K. Moon, B. Park, and B. Kim, "Control of IMD asymmetry of CMOS power amplifier for

- broadband operation using wideband signal", *IEEE Trans. Microw. Theory Tech.*, vol. 61, no. 10, pp. 3753-3762, Oct. 2012. *Symp.*, pp. 1-4, Jun. 2011.
- [6] Y. Lee, S. Hong, "A dual-power-mode output matching network for digitally modulated CMOS power amplifier", *IEEE Trans. Microw. Theory Techn.*, vol. 61, no. 4, pp. 1570-1579, Apr. 2013.
- [7] J. Brinkhoff, A. E. Parker, "Effect of baseband impedance on FET intermodulation", *IEEE Trans. Microw. Theory Tech.*, vol. 51, no. 3, pp. 1045-1051, Mar. 2003.
- [8] B. Koo, Y. Na, and S. Hong, "Integrated bias circuits of RF CMOS cascode power amplifier for linearity enhancement", *IEEE Trans. Microw. Theory Tech.*, vol. 60, no. 2, pp. 340-351, Feb. 2012.

김 기 현



2008년: 한국항공대학교 항공전자정보공학부 (공학사)
 2010년: 서울대학교 전기정보공학부 (공학석사)
 2010년~현재: 서울대학교 전기정보공학부 박사과정
 [주 관심분야] Low Power Application, RF, RF Power Amplifier for Mobile 등

남 상 욱



1981년: 서울대학교 전자공학과 (공학사)
 1983년: 한국과학기술원 전자공학과 (공학석사)
 1987년: 미국 Austin의 The Texas University 전자공학과 (공학박사)
 1990년~현재: 서울대학교 전기공학부 교수
 [주 관심분야] Antenna and Wave Propagation, EM Field Numerical Analysis, Microwave & Millimeter-Wave Active/Passive Circuit Design 등

고 재 용



2011년: 서울시립대학교 전자전기컴퓨터공학부 (공학사)
 2013년: 서울대학교 전기정보공학부 (공학석사)
 2013년~현재: 서울대학교 전기정보공학부 박사과정
 [주 관심분야] RF, RF Power Amplifier for Mobile 등