

12.8-GHz 위상 잠금 루프와 주파수 ×6 체배기를 결합한 77-GHz 저 위상 잡음 주파수 변조 연속파 레이더 송신기

송재훈^o, 최성립^{*}, 김병성^{*}, 남상욱

서울대학교 INMC & 전기컴퓨터공학과, ^{*}성균관대학교 정보통신공학부

e-mail: doritos43@ael.snu.ac.kr, choisr@skku.edu, bskimice@skku.edu, snam@snu.ac.kr

I. 서론

현재 자동차용 레이더 시스템은 77, 79-GHz 등의 높은 주파수 대역을 사용하기 때문에 고가의 화합물 반도체로 개발되었다. 그러나 레이더 가격 감소에 대한 수요가 증가하고 CMOS 공정 기술이 발전하면서 CMOS 공정으로 차량용 레이더를 개발하기 위한 연구가 많이 진행되고 있다.

II. 본론

그림 1은 제안된 77-GHz 송신기 칩의 블록 다이어그램이다. VCO 출력은 주입-잠금 (IL) 버퍼를 지나 CML, TSPC에서 총 256분주 되고 외부 50~50.75M chirp 레퍼런스 신호와 PFD에서 비교되어 VCO 제어 전압이 결정되는, 정수-N 방식의 위상 잠금 루프 (PLL)로 동작한다. PLL로 잠금된 신호는 6체배기와 PA를 지나 77-GHz 대역 FMCW 신호로 출력된다.

일반적으로 밀리미터파에서는 트랜지스터 성능이 좋지 않으므로 낮은 주파수에서 설계 후 주파수 체배기를 이용하는 방식이 위상잡음 특성에 유리하다고 알려져 있다 [1]. 따라서 본 논문에서 제안된 송신기는 6체배기 기반 구조로 설계되었다.

그림2 (a)는 선형 트랜스컨덕턴스 (LiT) VCO와 IL 버퍼 회로도이다. 12.8-GHz에서 LiT VCO를 이용하여 위상잡음 성능을 향상시켰다 [2]. 기존의 LiT는 캐패시터 분주기, 초크 인덕터 등이 필요하므로 복잡하고 면적이 크지만, 본 논문에서는 3:2 트랜스포머를 이용하여 간단하고 작은 크기로 구현하였다. 3체배기는 IL버퍼 출력의 3차 조화성분으로 병렬 주입-잠금하였고, 2체배기는 push-push 셀을 두어 2차 조화성분을 생성하여 주입-잠금하였다.

III. 결론

제안된 칩은 1폴리 8메탈 65-nm CMOS 공정을 이용하여 제작되었다. 50~50.75-MHz 레퍼런스 chirp 신호로 PLL을 잠금하여 최종적으로 76.81~77.95-GHz의 chirp 신호가 출력된다. 제안된 칩은 준수한 RF출력 전력을 제공하고, 레이더 송신기에서 가장 중요한 성능 지표 중 하나인 위상잡음은 구조적, 회로적 개선 노력으로 인해 1-MHz 오프셋에서 -91.16 dBc/Hz이라는 매우 우수한 값을 가지고 있다.

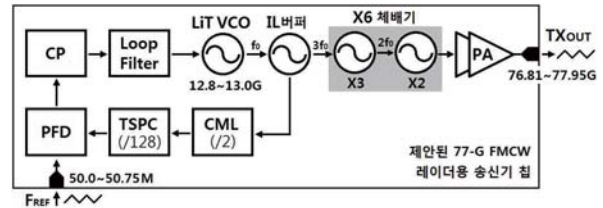


그림 1. 제안된 77-GHz 레이더 송신기 칩 블록 다이어그램.

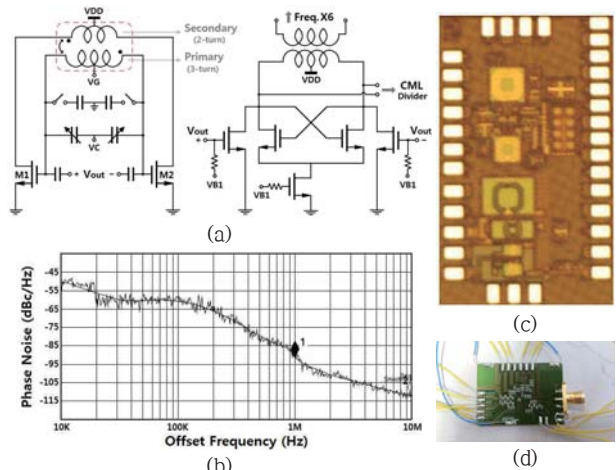


그림 2. (a) LiT VCO와 IL버퍼 회로도, (b) 측정된 위상 잡음, (c) 칩 사진, (d) 측정용 PCB.

표1. 제안된 송신기 칩 성능

| 공정 | 65nm CMOS |
|------------------------|-------------|
| 칩 기능 / PLL 유형 | 송신기 / 정수-N |
| Chirp 주파수 대역 (GHz) | 76.81-77.95 |
| 위상 잡음 @1M (dBc/Hz) | -91.16 |
| 출력 전력 (dBm) | 8.9 |
| DC 소모 전력(mW) | 116.7 |
| 칩 면적(mm ²) | 1.38 × 0.79 |

Acknowledgement

이 논문은 2015년도 정부(미래창조과학부)의 재원으로 한국연구재단의 지원을 받아 수행되었고 (No.2009-0083495), IDEC의 EDA Tool 또는 MPW 또는 IPC에서 지원하여 수행하였음.

참고문헌

- [1] M. Ito, et al, "A 60-GHz-band ×12-multiplier MMIC with reduced power consumption," *IEEE Trans. Microw. Theory Tech.*, vol. 54, no. 12, pp. 4522-4527, Dec. 2006.
- [2] B. Sadhu, et al, "A linearized, low-phase-noise VCO based 25 GHz PLL with autonomic biasing," *IEEE J. Solid-State Circuits*, vol. 48, no. 5, pp. 1138-1150, May. 2013.