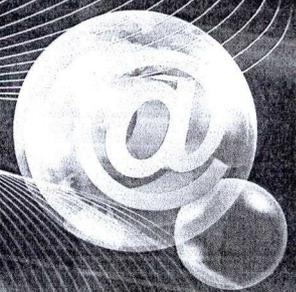
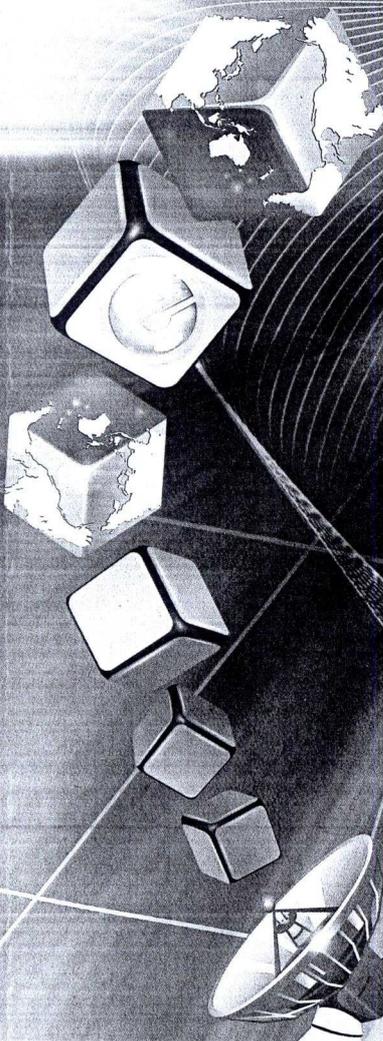


2011년도 종합학술발표회

Vol. 21, No. 1

|일 자| 2011년 11월 25일(금)
|장 소| 일산 킨텍스(제1전시장)
|주 최| 사단법인 한국전자파학회
|후 원| 방송통신위원회
|협 천| KT, LG U+, LG전자, SKT, 누비콤텍트로닉스,
에이스테크놀로지, 엘텍, 프론티스



KIEES 사단법인 **한국전자파학회**

Session G
(POSTER)

▷ 포스터 세션(1) ◁
(13:00 - 14:30)

2011년 11월 25일

2층 복도

▷ 마이크로파/밀리미터파 수동/능동회로, EMI/EMC ◁

좌장 : 김 강욱 교수(경북대학교)

P-G-1	승강기용 광-영상 카메라 설치로 인한 전자파환경 영향 평가에 관한 연구 권석태°, 정기범, 정연춘* ((주)이앤알텍, *서경대학교) 116
• P-G-2	Modeling and Analysis of Susceptibility for Integrated Circuits Bo Pu°, Jae joong Lee, Wansoo Nah (Sungkyunkwan University) 117
P-G-3	무선랜 고속 데이터 전송에 따른 신호의 무결성 개선 고준호°, 강희도, 육종관 (연세대학교) 118
P-G-4	Short-TDR을 이용한 테스트 진단 기술에 관한 연구 이인우°, 김종민, 김규열, 나완수 (성균관대학교) 119
P-G-5	Y-파라미터 추출방법을 이용한 패키지 회로 모델에 관한 연구 이인우°, 김종민, 김규열, 나완수 (성균관대학교) 120
P-G-6	L-대역 수신보호회로(Limiter) 설계 및 제작 진형석°, 유성현, 유희선*, 양성기** (LIG넥스원(주), *(주)유텔, **공군 30단) 121
• P-G-7	Comb구조를 사용하여 개선된 SIW 방사형 4분기 전력분배기 황석민°, 변진도, 이해영 (아주대학교) 122
P-G-8	구형 도파관의 횡단면에 배치된 도체 패치 구조의 공진 특성 해석 최진영°, 손혁우, 고지환*, 박준서, 조영기 (경북대학교, *금오공과대학교) 123
P-G-9	S 대역 고출력용 저손실 결합기 및 커플러 설계 이정원, 강명일°, 임재환, 한재섭, 김종필, 이수호 (LIG넥스원(주)) 124
P-G-10	디지털 레이더 시스템의 송수신 모듈 구현 정인기°, 구용서*, 김민수**, 이영철** (제노코(주), *국방기술품질원, **경남대학교) 125
P-G-11	Dynamic Range를 고려한 자잡음 수신단 설계 한건희°, 장연길, 이영철* (에이트론(주), *경남대학교) 126
P-G-12	Dual-Band Class-J 선형 전력 증폭기 설계 함범철°, 박영철 (한국외국어대학교) 127
P-G-13	트랜스포머 커플링을 이용한 24-GHz 전압 제어 발진기 설계 송재훈°, 김덕수, 남상욱 (서울대학교) 128
P-G-14	주파수합성을 위한 고주파변환 모듈 설계 및 제작 유성현°, 유제우, 진형석 (LIG넥스원(주)) 129
• P-G-15	GaN HEMT 소자를 이용한 X대역 100W급 SSPA 설계 및 제작 박상근°, 박 혁, 김종우, 한진영 (삼성탈레스(주)) 130
P-G-16	8-bit 50-MS/s Folding and Interpolation ADC 유동균°, 김영식 (한동대학교) 131
P-G-17	다이아몬드 박막 반도체상의 FET에 관한 연구 주정갑°, 정장현, 장의훈, 한성조, 윤 영 (한국해양대학교) 132
• P-G-18	Mesh 구조의 차폐 효과 시뮬레이션 조영식°, 조정민, 광상근, 나완수, 김소영 (성균관대학교) 133

트랜스포머 커플링을 이용한 24-GHz 전압 제어 발진기 설계

송재훈^{*}, 김덕수, 남상욱
 서울대학교 전기공학부 뉴미디어통신공동연구소
 doritos43@ael.snu.ac.kr

I. 서론

최근 CMOS 공정의 발전으로 인해 고성능 CMOS 회로의 수요가 높아짐에 따라 좋은 위상 잡음 특성과 넓고 선형적인 주파수 조정 범위를 갖는 CMOS 전압 제어 발진기 (VCO) 설계가 중요시 되고 있다.

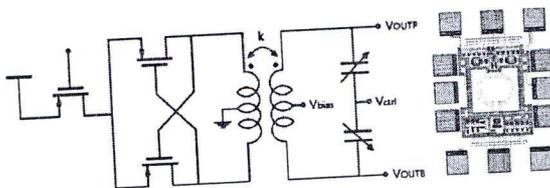


그림 1. 제안된 VCO 회로 & 레이아웃

II. 본론

그림 1은 설계한 24-GHz VCO의 코어 회로이다. 제안된 VCO는 낮은 플리커 잡음 코너 주파수를 갖는 PMOS 교차 결합 쌍과 전류원, 트랜스포머와 바랙터를 이워진 LC 병렬 공진기로 구성된다. 트랜스포머는 중앙에 탭을 이용하여 DC 전압을 인가할 수 있게 설계됨으로써 DC 공급선과 신호선이 공유되어 칩 사이즈를 줄일 수 있다. 제안된 회로의 가장 큰 장점은 바랙터를 교차 결합 쌍과 분리하여 넓고 선형적인 주파수 조정 범위(FTR)를 갖는다는 것이다. 출력 차동 신호의 공통 모드 전압 레벨이 제어 전압(V_c) 범위의 절반에 위치할 때 최대의 FTR을 갖게 되고, 이 때의 FTR은 공통 모드 전압 레벨이 0 V 또는 VDD 일 때 보다 2배의 크기를 갖게 된다 [1]. 그림 2는 제안된 회로와 두 비교회로의 주파수 조정 시뮬레이션 비교이다. VCO-1은 트랜스포머가 아닌 인덕터, 제안된 회로와 같은 크기의 바랙터를 이용한 일반적인 LC VCO이고, VCO-2는 큰 바랙터를 이용하여 FTR을 제안된 회로와 같게 만든 일반적인 LC VCO이다. VCO-1은 제안된 회로보다 FTR이 약 2배 작다. VCO-2는 제안된 회로와 FTR이 같지만 점선과 비교해 보면 선형적인 FTR에서 큰 차이를 보인다. 또한 같은 주파수 범위를 가질 때, 제안된 회로의 KVCO가 더 작기 때문에 위상 잡음 특성이 더 좋을 것으로 기대된다.

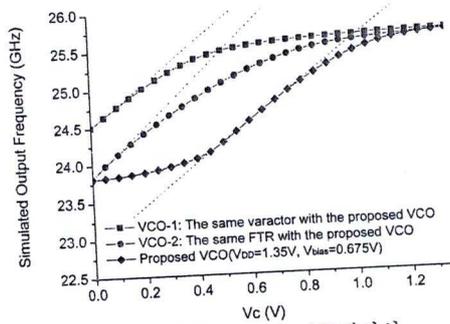


그림 2. 주파수 조정 시뮬레이션

표 1. 포스트-시뮬레이션 결과

주파수 조정 범위(GHz)	23.6 ~ 25.6
위상 잡음 (dBc/Hz)	-110 @ 1MHz
코어 DC 전력 소모	5.4 mW
FOM, FOM _r	-190.5, -188.7

파수, 위상잡음, 전력소모의 함수인 FOM은 -190.5 이며 여기에 주파수 조정 범위가 들어간 FOM_r는 -188.7로 상당히 높은 성능을 나타낸다.

ACKNOWLEDGEMENT

이 논문은 2011년도 정부(교육과학기술부)의 재원으로 한국연구재단의 지원을 받아 수행된 연구임(No. 2011-0001270).

참고문헌

- [1] S. Levantino, et al., "Frequency dependence on bias current in 5 GHz CMOS VCOs: impact on tuning range and flicker noise upconversion," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 8, pp. 1003 - 1011, Aug. 2002.

III. 결론

표 1은 레이아웃에서 생기는 기생 성분들을 고려한 포스트-시뮬레이션 결과이다. 제안된 회로의 중심 주파수는 24.6 GHz이고, 주파수 범위는 2 GHz이다. 위상 잡음 특성은 1 MHz 오프셋에서 -110 dBc/Hz이고 코어 DC 전력 소모는 1.35V VDD에서 5.4mW 이다. 중심 주