

Cascaded switch 구조를 통한 7-bits 실시간 지연회로 설계

° 윤민영, 남상욱

서울대학교 전기공학부 뉴미디어통신연구소

° ymy@ael.snu.ac.kr, snam@snu.ac.kr

I. 서론

위상 배열 안테나에서 실시간 지연회로를 사용하면 빔-편이 현상 없이 광대역에서 빔조향이 가능하게 하므로 활발히 연구되고 있다 [1].

실시간 지연회로를 구성할 때 기본적으로 사용되는 구조는 IC 칩 스위치를 통한 switched line 구조이다. 해당 구조에서 일반적인 절연 특성을 갖고 있는 스위치를 사용하게 되면 공진이 발생할 수 있다. 이는 cascaded switch 구조를 사용하여 해결할 수 있다 [2]. 본 논문에서는 cascaded switch 구조를 확장하여 8ps의 해상도를 갖고 1016ps의 총 지연시간을 갖는 7-bits의 실시간 지연회로를 설계하였다.

II. 본론

그림 1 (a)에서의 기존의 switched line 구조로 실시간 지연회로를 구성할 때 -15dB 근처의 일반적인 절연 특성을 갖는 스위치를 사용하게 되면 공진이 발생한다. 위상 배열 안테나에서 실시간 지연회로를 사용할 때 공진이 발생하게 되면 빔조향각과 사이드 로브 레벨에 영향을 줄 수 있기 때문에 제거해 주어야 한다. 그림 1 (b)와 같이 Cascaded switch를 사용하면 이 문제를 해결할 수 있다 [2]. N개의 안테나의 광대역 빔조향을 위해 실시간 지연회로를 설계할 때, 원하는 빔조향 각도 및 해상도에 따라 필요한 지연시간과 필요한 bits 수가 결정되게 된다. 본 논문에서는 안테나 개수가 8개일 때 60°의 최대 빔조향각을 가지고 5°의 빔조향 해상도를 갖도록 설계하였다. 동작 대역은 2 ~ 6 GHz로 설정하였고 필

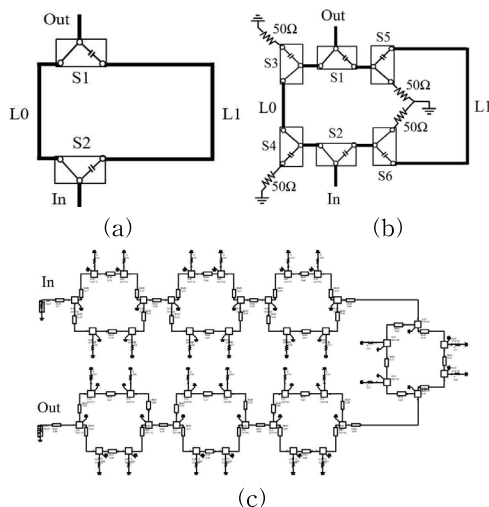


그림 1. (a) 1-bit switched line 구조, (b) Cascaded switch를 사용한 1-bit 구조, (c) Cascaded switch를 이용한 7-bits 실시간 지연회로

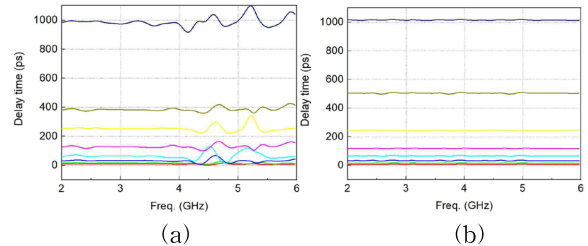


그림 2. (a) 기본적인 switched 구조를 이용한 7-bits 실시간 지연회로의 군 지연시간 시뮬레이션 결과, (b) Cascaded switch 구조를 이용한 7-bits 실시간 지연회로의 군 지연시간 시뮬레이션 결과

요한 전기적인 길이의 최소값은 $l_1 = d \times \sin(5^\circ)$ 이고 최대값은 $l_7 = 7d \times \sin(60^\circ)$ 이다. 안테나간 거리 d 는 37.5 mm로 정했고 이 때 필요한 지연회로의 bit 수는 $l_7 \leq l_1 \times 2^n$ 의 식을 통해 7-bits 이상인 것을 알 수 있다. 최종적으로 그림 1 (c)와 같이 cascaded switch 구조를 사용하여 8 ps의 최소 지연시간과 1016 ps의 최대 지연시간을 갖는 7-bits의 실시간 지연회로를 설계하였다. 기본적인 switched line 구조를 사용하여 설계한 실시간 지연회로는 185.6 ps의 최대 편차와 2.6 %의 RMS error를 갖는 반면에 cascaded switch를 통해 공진 특성을 제거하여 설계한 구조는 18.6 ps의 최대 편차와 0.3 %의 작은 RMS error를 갖는다.

III. 결론

본 논문에서는 cascaded switch를 사용하여 7-bits 실시간 지연회로를 설계하였고, 그 결과 공진에 의한 성능 저하를 효과적으로 억제할 수 있었다.

Acknowledgement

“본 연구는 광주과학기술원 전자전특화연구센터를 통한 방위사업청과 국방과학연구소 연구비 지원으로 수행되었습니다.”

참고문헌

- [1] D. Parker and D. C. Zimmermann, “Phased arrays - part 1: theory and architectures,” *Microwave Theory and Techniques, IEEE Transactions on*, vol. 50, no. 3, pp. 678-687, 2002.
- [2] M. Yoon and S. Nam, “Avoidance of Off-switch Resonance in True Time Delay Line using Cascaded Switches,” in *Proc. URSI Asia-Pacific Radio Sci. Conf.*, Aug. 2016, pp. 719 - 720.